

УДК 681.525.5

**МЕТОДИКА СТРУКТУРНОГО СИНТЕЗА
НЕЙРОНОВ-ПРЕОБРАЗОВАТЕЛЕЙ АНАЛОГО-ЦИФРОВОЙ
НЕЙРОСЕТИ****В.Н. Локтюхин, А.В. Антоненко, С.В. Челебаев**РГРТУ, г. Рязань, Российская Федерация
e-mail: rgrtu@rsreu.ru

Представлена методика структурного синтеза нейроэлементов со сложными функциями активации на крупнозернистом уровне представления нейровычислителей. Приведена многоэтапная процедура синтеза нейронов-преобразователей, рассмотрена функциональная модель нейрона в виде совокупности битовых операций в нейросетевом базисе. Предложены основные логические (структурные) схемы нейронов-преобразователей в форме операционных устройств. Приведен пример синтеза нейросетевого преобразователя "код-временной интервал" с использованием языка описания аппаратуры для ПЛИС. Предложенные методики и технологии могут обеспечить существенное сокращение сроков разработки нейронов-преобразователей.

Ключевые слова: аналого-цифровая нейросеть, нейросекция, нейрон-преобразователь, операционное устройство.

**TECHNIQUE FOR STRUCTURAL SYNTHESIS
OF NEURONS-CONVERTERS OF ANALOG-DIGITAL NEURAL
NETWORK****V.N. Loktyukhin, A.V. Antonenko, S.V. Chelebaev**Ryazan State Radio-Engineering University, Ryazan, Russian Federation
e-mail: rgrtu@rsreu.ru

A technique for structural synthesis of neuroelements with complex functions of activation at the coarse-grained level of representation of neural computers is presented. A multistage procedure for synthesis of neurons-converters is given, a functional neuron model as an aggregate of bit operations in the neural-network basis is considered. Basic logical (structural) schemes of neurons-converters are proposed in the form of operational devices. An example of synthesis of the "code-to-time interval" neural-network converter is given using the hardware description language for programmed logical chips. The proposed techniques and technologies can provide the substantial reduction in time period for development of neurons-converters.

Keywords: analog-digital neural network, neural section, neuron-converter, operational device.

В настоящее время аппарат искусственных нейронных сетей (ИНС) является эффективным средством, поддерживающим процесс формализованного синтеза устройств преобразования формы информации, определяемых как ИНС-преобразователи [1]. Такие устройства оперируют с переменными, представленными в виде частоты f , длительности временного интервала τ , периода T изменения сигнала,

его амплитуды (напряжения U или тока I), число-импульсного (n) или позиционного (N) кода, и представляют собой аналого-цифровую нейросеть, процессорными элементами которой являются нейроны-преобразователи (НП). Под НП понимается математический нейрон с гибридной формой представления информации и возможностью ее преобразования с совмещением выполнения математической операции.

В известных публикациях [2–5] освещены в основном вопросы синтеза линейных аналого-цифровых преобразователей, базирующихся на применении однобитовых нейронов с пороговой функцией активации и, соответственно, мелкозернистого уровня описания разрабатываемых устройств. Вместе с тем, при создании нейросетевых функциональных преобразователей информации (ФПИ) целесообразно применять k -битовые ($k > 1$) процессорные нейроэлементы, к которым относятся: паде-нейроны, квадратичные нейроны, нейроны с линейной, степенной, сигмоидной функциями активации и др. Это позволяет при меньшем числе нейроэлементов, но с более сложными функциями активации, обеспечить воспроизведение различных нелинейных зависимостей, сократить время обучения ФПИ [6]. Однако проблема структурного синтеза k -битовых нейроэлементов со сложными функциями активации при аппаратной реализации нейросетевых ФПИ до настоящего времени еще не решена.

Цель работы — разработка методики структурного синтеза такого вида нейронов на крупнозернистом уровне представления ИНС-устройств, которая позволит формализовать формирование логических (структурных) схем нейронов ИНС-преобразователей на основе типовых узлов и элементов вычислительной техники (ВТ).

Достичь указанной цели можно на основе нейросетевой технологии описания функционирования НП, позволяющей найти последовательность достаточно формализованных приемов получения логической схемы, которые составляют содержание методики структурного синтеза НП (в том числе на языке описания аппаратуры). При этом целесообразно НП интерпретировать в виде операционного устройства (ОУ), выполняющего совокупность операций нейросетевого базиса, каждой из которых соответствует специфический узел (например, для цифровой ВТ — это регистр, счетчик, сумматор, схема сравнения и др.). Представление НП в виде ОУ позволяет также применять известные приемы синтеза [7] для получения логической схемы нейрона. Поскольку для задачи синтеза преобразователей формы информации ОУ представляет собой аналого-цифровое (гибридное) устройство, то данное обстоятельство предопределяет существенную новизну в создании методики его синтеза.

Перечень стадий структурного синтеза НП на основе нейросетевой технологии.

1. Декомпозиция структурной модели ИНС-преобразователя в виде элементарных НП.

2. Получение функциональных моделей НП в виде набора (совокупности) нейросетевых операций как основы выявления функции преобразования НП и перехода к построению структурной схемы нейрона как операционного устройства.

3. Реализация отдельных выражений совокупности, составляющих содержание функциональной модели, с помощью типовых узлов ВТ.

4. Построение логической схемы НП как ОУ путем соединения отдельных узлов ВТ, реализующих соответствующие нейрооперации функциональной модели НП.

Синтез синаптических связей проводится также в соответствии с пунктами 1–4, поскольку эти связи представляются в виде НП, выполняющих операции умножения. Достоинством методики является инвариантность проводимых стадий к элементной базе, на которой будет реализован проектируемый вычислительный или функциональный преобразователь информации, что обеспечивает возможность ее широкого применения для синтеза устройств нейросетевой обработки сигналов разнообразной физической природы [6]. Рассматриваемые стадии приводятся далее для многоступенчатого ИНС-преобразователя “код–временной интервал”, из которого выделяются (декомпозируются) синтезируемые нейроны.

Структурная модель многоступенчатого ИНС-преобразователя “код–временной интервал” с использованием упрощенной сигмоиды. Математическая модель структуры ИНС-преобразователя код–аналог $x^* \rightarrow y$ может быть представлена в виде двухслойной нейронной сети прямого распространения с линейной функцией активации выходного слоя. Сеть оперирует переменными в заданных диапазонах изменения $x^* \subset [x_{\min}^*, x_{\max}^*]$, $y \subset [y_{\min}, y_{\max}]$ (x^* – преобразуемый k -разрядный позиционный код). Нейросеть содержит два слоя математических нейронов ($MН_j^{(1)}$ и $MН_1^{(2)}$) и описывается выражением

$$y = F_{MН_1}^{(2)} \left(\sum_{j=1}^M \left(w_{MН_{j,1}}^{(2)} \cdot F_{MН_j}^{(1)} \left(G_{MН_j}^{(1)} \right) \right) \right), \quad (1)$$

где $w_{MН_{j,1}}^{(2)}$ – весовые коэффициенты нейрона $MН_1^{(2)}$ второго выходного слоя сети, $j = \overline{[1, M]}$; M – число нейронов на первом слое; $F_{MН_j}^{(1)}$ – функция активации j -го нейрона $MН_j^{(1)}$ первого слоя; $F_{MН_1}^{(2)}$ – активационная функция нейрона $MН_1^{(2)}$ выходного слоя сети; $G_{MН_j}^{(1)} = w_{MН_{1,j}}^{(1)} \times x^* + w_{MН_{2,j}}^{(1)} \cdot x_0$ – взвешенная сумма значений входов x^* и x_0 , поступа-

ющих с нейронов $MN_1^{(0)}$ и $MN_2^{(0)}$ нулевого (распределительного) слоя сети на входы нейронов $MN_j^{(1)}$ первого слоя; $w_{MN_{1,j}}^{(1)} = 1$ и $w_{MN_{2,j}}^{(1)}$ — веса входов нейронов $MN_j^{(1)}$ первого слоя, $j = \overline{[1, M]}$; x^* — преобразуемый код; x_0 — опорная величина (эталон преобразования).

В качестве функции активации нейронов $MN_j^{(1)}$ может быть применена упрощенная сигмоида [8]

$$F_{MN_j}^{(1)}(G_{MN_j}^{(1)}) = \begin{cases} \frac{G_{MN_j}^{(1)}}{b_j + G_{MN_j}^{(1)}}, & \text{если } G_{MN_j}^{(1)} > 0; \\ 0, & \text{иначе,} \end{cases}$$

где b_j — коэффициент, задающий индивидуальный вид функции активации $F_{MN_j}^{(1)}$ каждому нейрону $MN_j^{(1)}$ первого слоя с его последующем представлением в ИНС-преобразователе в виде паде-нейрона.

Для сокращения аппаратных затрат на реализацию ИНС-преобразователя кода N_x во временной интервал τ_y (рис. 1) выбран многотактный режим его работы. Наличие этого режима позволяет с помощью одной цифроаналоговой нейросекции последовательно во времени в течение цикла преобразования $T_{ц} = \tau_{y \max}$ формировать результат нелинейного (функционального) преобразования $N_x \rightarrow \tau_y$ как сумму дробно-линейных функций.

Секция (см. рис. 1) состоит из двух слоев НП. При этом первый слой содержит паде-нейрон $НП_1^{(1)}$, реализующий операцию

$$\tau_{y_j} = (N_x - N_{a_{0j}}) / (f_0 N_x / 2^k + f_0 N_{b_{0j}} / 2^k),$$

где $N_{b_{0j}}$ и $N_{a_{0j}}$ — позиционные коды, моделирующие весовые коэф-

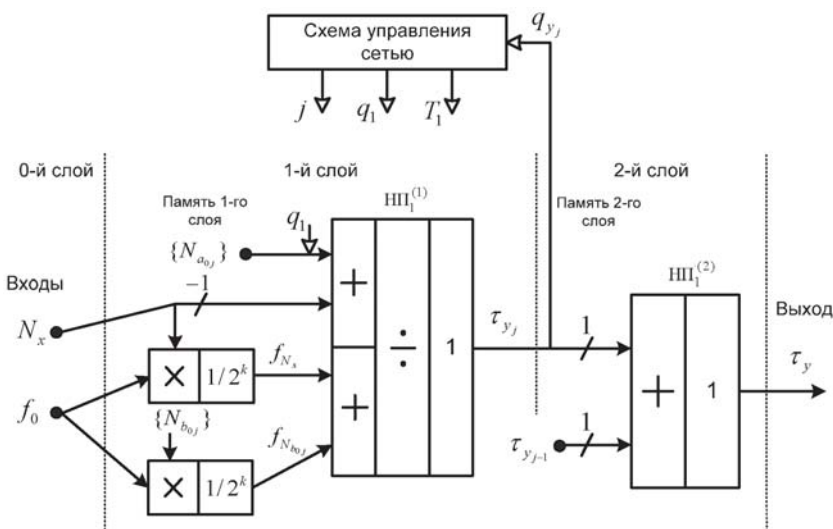


Рис. 1. Структура многотактного ИНС-преобразователя “код–временной интервал”

коэффициенты $w_{\text{МН}_{1,j}}^{(1)}$ и $w_{\text{МН}_{2,j}}^{(1)}$ нейрона НП₁⁽¹⁾. Второй слой нейросекции является суммирующим. Он формирует на выходе НП₁⁽²⁾ временной интервал τ_y путем суммирования временных отрезков τ_{y_j} ($j = \overline{[1, m]}$), получаемых в j -х тактах (m – число тактов преобразования):

$$\tau_y = \sum_{j=1}^m \frac{N_x - N_{a_{0j}}}{f_0 N_x / 2^k + f_0 N_{b_{0j}} / 2^k}. \quad (2)$$

Хранение $N_{b_{0j}}$ и $N_{a_{0j}}$ осуществляется с помощью памяти сети (ПС). Схема управления (СУ) сетью переключает ПС на формирование j -го набора коэффициентов $N_{b_{0j}}$ и $N_{a_{0j}}$ для j -х тактов преобразования.

Определение параметров N_{a_0} , $N_{a_{1j}}$, $N_{b_{1j}}$ аппроксимирующей функции (2), обеспечивающих формирование на выходе устройства значение интервала $\tau_y = \Phi(N_x)$, нелинейно связанного с N_x , проводится путем обучения АЦ-нейросети решению задачи аппроксимации $\tau_y = \Phi(N_x)$ с использованием алгоритма обратного распространения ошибки [6].

Стадии структурного синтеза НП. Стадия 1. Декомпозиция структурной модели ИНС-преобразователя в виде элементарных НП. Декомпозиция структурной модели ИНС-преобразователя (см. рис. 1) проводится для нахождения отдельных его составляющих в виде элементарных НП как наименьших процессорных (вычислительных) компонентов проектируемого устройства. Так, представленный на рис. 2 НП₁⁽¹⁾ характеризуется структурой в виде паде-нейрона, состоящего из следующих компонентов, строящихся на основе элементарных НП:

а) согласующая синаптическая связь в составе структуры НП₁⁽¹⁾ (учитывающая согласование формы представления переменной по входу N_x в частоту f_{N_x}), которая реализуется посредством элементарного НП код-частота на основе двоичного умножителя (ДУ) [8] (выделен на рис. 2 штриховым блоком a);

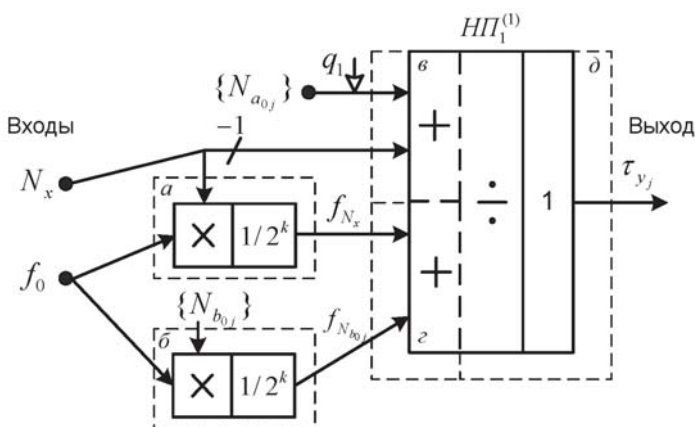


Рис. 2. Нейрон-преобразователь код-временной интервал

б) обучаемая синаптическая связь $НП_j^{(1)}$ по входу f_0 , которая реализуется элементарным НП код–частота на основе двоичного умножителя (ДУ) (выделен на рис. 2 штриховой линией блоком б);

в) вычитатель кодов, формирующий значение $G_1 = N_x - N_{a_{0j}}$ для последующей операции деления (см. рис. 2, блок в);

г) сумматор частот, формирующий значение знаменателя $G_2 = f_0 N_x / 2^k + f_0 N_{b_{0j}} / 2^k$ для последующей операции деления (см. рис. 2, блок з);

д) делитель G_1/G_2 , который реализуется с помощью элементарного НП код–временной интервал (см. рис. 2, штриховой блок д).

Стадия 2. *Получение функциональных моделей НП в виде совокупности нейросетевых операций как основы выявления его функции преобразования и перехода к построению его структурной схемы как ОУ.*

Процесс получения функциональной модели элементарного НП в виде совокупности операций с переменными, представленными в виде отдельных битов и двоичных слов, опирается на определенную совокупность операций нейросетевого базиса.

Функциональную модель элементарного НП можно получить следующим образом:

1. Устанавливается конкретный вид АЦ или ЦА преобразования, например, код–временной интервал, и определяются соответствующие для него формы представления переменных.

2. Задается вид математического нейрона с указанием применяемой функции активации.

3. Задаются способы представления сигналов на входе и выходе НП, а также параметров активационной функции. Например, в качестве входных сигналов могут выступать: x_* — цифровой эквивалент в виде k -разрядного позиционного кода; $x_0(iT_0) = 1(iT_0)$ — поток единичных импульсов, следующих с периодом T_0 , который задает эталон преобразования код–аналог, $i = 1, 2, \dots$, где $T_0 = 1/f_0$; θ^* — порог функции активации $F_{НП}$ нейрона в виде k -разрядного кода. В соответствии с функцией преобразования НП, например код–временной интервал, сигнал на выходе НП представляется в виде потока единичных импульсов $y(j\{\tau_y/T_1\})$ длительностью τ_y , следующих с периодом T_1 .

4. Задается представление активационной функции $F(G)$ НП, например, в виде импульсной пороговой функции $F_{НП}$.

5. Формируется совокупность математических выражений, описывающих функционирование НП в виде операций, характеризующих совместную работу блоков активации и суммирования нейрона при выполнении заданной операции преобразования с учетом представления переменных (см. пункт 3). Функционирование НП “код–

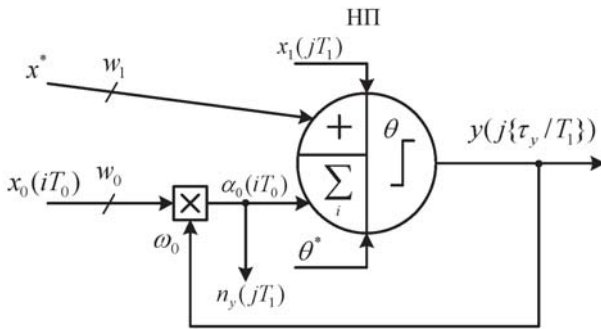


Рис. 3. Нейрон-преобразователь с выходом $y(j\{\tau_y/T_1\})$ в виде временного интервала τ_y скважностью Q_y и с числом импульсов n_y

временной интервал” (рис. 3) в общем виде описывается совокупностью выражений

$$y(j\{\tau_y/T_1\}) = \begin{cases} 1, & \text{если } G(iT_0) - \theta^* \geq 0, \\ 0, & \text{иначе;} \end{cases} \quad (3)$$

$$G(iT_0) = w_1 x_* + w_0 \sum_{i=1}^s \alpha_0(iT_0); \quad (4)$$

$$\alpha_0(iT_0) = \omega_0 x_0(iT_0), \quad \omega_0 = y(j\{\tau_y/T_1\});$$

$$i = 1, 2, 3, \dots, s, \quad s = \text{Ent}\{\tau_y/T_0\},$$

где $y(j\{\tau_y/T_1\})$ – поток прямоугольных импульсов длительностью τ_y , следующих с периодом T_1 ; $G(iT_0)$ – взвешенная сумма входов НП; $s = \text{Ent}\{\tau_y/T_0\}$ – число единичных импульсов с периодом T_0 за интервал τ_y .

6. Получение в соответствии с характеристиками частотно-временных параметров преобразуемых потоков единичных импульсов (битов) математического описания (в виде формулы) функции преобразования НП. Например, для рассматриваемого НП “код–временной интервал” (см. рис. 3), при w_0 и w_1 , равных единице, функция преобразования имеет вид $\tau_y = T_0(\theta^* - x_*)$.

Стадия 3. Реализация отдельных выражений совокупности, составляющих содержание функциональной модели, с помощью операционных узлов ВТ в виде последовательности следующих трех действий.

1. Построение содержательного и закодированного графа функционирования НП. Для построения схемы НП циклического типа на базе ОУ ВТ необходимо, например для нейрона (см. рис. 3), составить содержательный (рис. 4, а) и закодированный (рис. 4, б) графы, описывающие работу схемы НП с помощью последовательности операций, выполняемых операционными узлами.

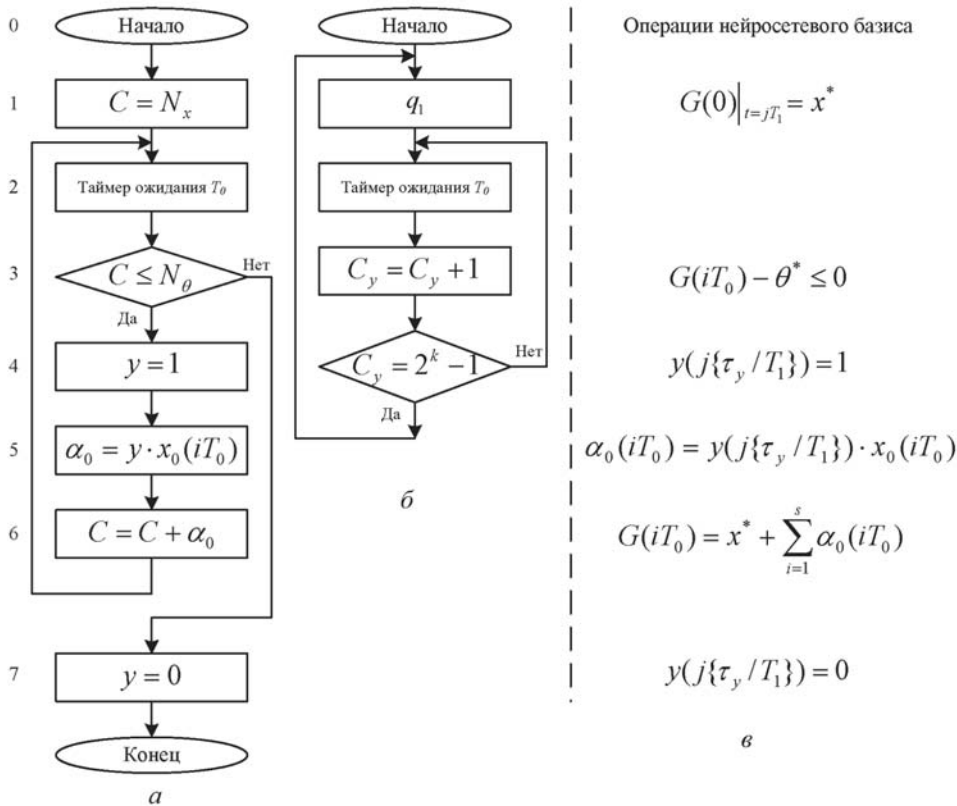


Рис. 4. Содержательный (а) и закодированный (б) графы НП “код–временной интервал” (см. рис. 3)

Выбор конкретной операции (см. рис. 4, а), представленной в содержательном графе, проводится исходя из ее ориентации на выполнение соответствующей нейросетевой операции (см. рис. 4, б). Следует отметить, что НП непрерывного принципа действия не требуют составления содержательного и закодированного графов.

На рис. 4, а приведен содержательный граф, описывающий функционирование элементарного НП циклического типа “код–временной интервал” (см. рис. 3) с использованием операций нейросетевого базиса, которым соответствуют операции ОУ, как логической схемы НП. Закодированный граф (см. рис. 4, б) описывает функционирование схемы управления НП. Поскольку для графов НП типична линейная последовательность операторов, то это позволяет обеспечить построение достаточно простых схем управления в виде распределителя сигнала, содержащего счетчик, и дешифратора [7]. Запуск распределителя может проводиться импульсами входных и выходных последовательностей НП, например, следующих с периодом T_0 или T_y .

2. Выявление операционных узлов, реализующих операции (см. рис. 4, в) нейрона-преобразователя. Далее составляется список опера-

ций в составе содержательного графа (см. рис. 4, а), описывающего функционирование НП. Этот список задает набор ОУ ВТ (табл. 1) в логической схеме устройства, реализующего требуемую функцию преобразования НП. Так, присутствие операций начальной загрузки суммы и счета импульсов (см. табл. 1, операции № 1 и № 4) при формировании значения входной суммы G однозначно указывает на наличие счетчика C в логической схеме НП. Присутствие операции сравнения (см. табл. 1, операция № 2) при формировании пороговой активационной функции требует включения в структуру НП схемы сравнения СР двоичных кодов. Операция одноразрядного умножения битов (см. табл. 1, операция № 3) осуществляется посредством логической схемы “И”.

3. *Построение схемы управления НП.* Схема управления НП “код–временной интервал” (см. рис. 3) формирует управляющий сигнал q_1 , осуществляющий начальную загрузку преобразуемого кода N_x в счетчик C . Сигнал q_1 формируется с периодом T_1 , который, в частном случае, задает цикл преобразования с интервалом $T_1 = 2^k T_0$, где k — число разрядов счетчика C_y в составе схемы управления. При этом на интервал T_1 цикла преобразования накладывается требование выполнения условия: $T_1 > \tau_{y\max}$. Управляющий сигнал q_1 можно интерпретировать как поток $q_1(jT_1)$ управляющих воздействий (сигналов) на схему НП, следующих с периодом T_1 , определяющим цикл преобразования $T_{\text{ц}}$. В свою очередь, последовательность $q_1(jT_1)$ описывается как поток единичных импульсов $1(jT_1)$, $j = 1, 2, 3, \dots$

Таблица 1

Список операций, выполняемых НП “код–временной интервал” (см. рис. 3) и соответствующими операционными узлами ВТ

№	Название	Операция нейросетевого базиса	Операция, реализуемая узлом	Операционный узел ВТ
1	Начальная загрузка	$G(0) _{t=jT_1} = x^*$	$C = N_x$	Счетчик C
2	Операция сравнения	$G(iT_0) - \theta^* \leq 0$	$C \leq N_\theta$	Схема сравнения СР
3	Операция умножения временного интервала на частоту $f_0 = 1/T_0$	$\alpha_0(iT_0) = y(j\{\tau_y/T_1\}) \times x_0(iT_0)$	$\alpha_0 = y \cdot x_0$	Схема “И”
4	Операция счета	$G(iT_0) = x^* + \sum_{i=1}^s \alpha_0(iT_0)$	$C = C + \alpha_0$	Счетчик C

Стадия 4. Построение логической схемы элементарного НП как ОУ.

В соответствии со списком ОУ (см. табл. 1), выполняющих операции НП, строится логическая схема НП (табл. 2, строка 1) совместно с его схемой управления, функционирующей в соответствии с закодированным графом НП (см. рис. 4, б). Схема НП схожа со структурами известных устройств преобразования кода во временной интервал [9, 10]. Выявление данной аналогии показывает достоверность предлагаемой методики структурного синтеза НП на основе применения аппарата ИНС, что говорит о ее проектных возможностях для формализации процедур получения структур НП, нацеленных на реализацию более сложных задач. В табл. 2 приведены логические схемы ряда НП на основе типовых узлов цифровой ВТ. Полученные схемы используются на этапах структурного синтеза ИНС-преобразователя, когда строится его логическая схема в целом.

Таблица 2

Логические (структурные) схемы элементарных НП на основе типовых узлов цифровой ВТ

Вид преобразования	Операция преобразования НП	Схема НП на основе типовых узлов цифровой ВТ
$N \rightarrow \tau$	$\tau_y = T_0(N_\theta - N_x)$	
$N \rightarrow T$	$f_y = \frac{f_0}{(N_\theta - N_x)},$ $T_y = (N_\theta - N_x)/f_0$	

Разрядность k операционных узлов синтезируемых НП выбирается исходя из требуемой точности преобразования. С этой целью проводится анализ технических характеристик полученной схемы НП, например, с использованием эквивалентных схем учета его инструментальных погрешностей [10], что позволяет получить аналитические выражения, связывающие разрядность операционных узлов и цикл (или время) преобразования с допустимой погрешностью преобразования.

Реализация НП “код–временной интервал” на ПЛИС. Для получения логических схем НП на программируемых логических инте-

гральных схемах (ПЛИС) может быть применен язык VHDL, который отличается простотой программ и малой емкостью памяти, затрачиваемой на хранение кодов, описывающих эти схемы. В памяти ПЛИС могут храниться десятки-сотни тысяч описаний нейронов ФПИ.

Реализация НП “код–временной интервал” на ПЛИС иллюстрируется фрагментом программы на языке VHDL, описывающей схему 4-разрядного НП (см. рис. 3) на основе совокупности нейросетевых операций (3) и (4), когда $w_1 = +1$, а $w_2 = -1$. Фактически, данная программа формирует в ПЛИС схему НП с конфигурацией, приведенной в табл. 2 (строка 1). В программе приняты следующие обозначения сигналов на этой схеме: $N_x \equiv Nx$, $N_\theta \equiv Ntheta$, $\tau_y \equiv tau$.

Описание структурной схемы НП “ $N \rightarrow \tau$ ” на языке VHDL

```
entity statia is
port(f0 : in std_logic; – опорная частота
Nx : in std_logic_vector(4 downto 1); – загружаемый код
Ntheta : in std_logic_vector(4 downto 1); – порог
tau : out std_logic – выходной интервал
);
end statia;
architecture behav of statia is
signal cnt : std_logic_vector(4 downto 1);
signal cnt2 : std_logic_vector(4 downto 1);
signal enable : std_logic;
signal a0 : std_logic;
signal tau_in : std_logic;
begin
process(f0)
begin – счетчик схемы управления для формирования цикла преобразования
if (f0='1' and f0'event)
then cnt <= cnt - "0001";
end if;
end process;
process(cnt) – формирование сигнала загрузки q1 кода в счетчик C1
begin
if (cnt = "0000")
then enable <= '1';
else enable <= '0';
end if;
end process;
a0 <= tau_in; – формирование сигнала разрешения счета в счетчике C
process(f0) – описание счетчика C с загрузкой кода Nx
begin
if (f0='1' and f0'event) then
if (enable = '1')
then cnt2 <= Nx;
else if (a0 = '1')
then cnt2 <= cnt2 + "0001"; – инкремент счетчика
end if;
end if;
end if;
end process;
```

```

process(Ntheta,Nx) – описание схемы сравнения
begin
if (Ntheta > cnt2)
then tau_in <= '1';
else tau_in <= '0';
end if;
end process;
tau <= tau_in;
end behav;

```

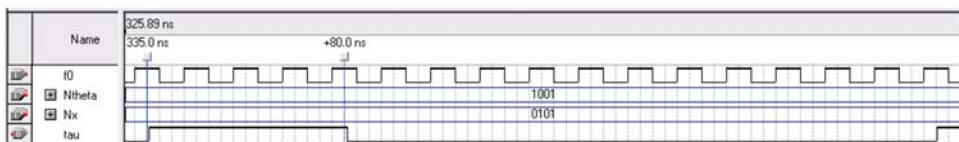


Рис. 5. Временные диаграммы работы НП $N \rightarrow \tau$

Экспериментальная проверка НП на базе ПЛИС, осуществленная на основе его верификации путем моделирования разработанной схемы средствами САПР, продемонстрировала ее работоспособность (рис. 5). Так, временной интервал τ для значения входного кода $Nx = 9$ и порога $Ntheta = 5$ равен $\tau = 4T_0$, где $T_0 = 1/f_0$.

Для микроэлектронной реализации ИНС-преобразователей частотно-временных параметров сигналов на основе описанных процедур может быть использована микросхема FPGA XC2S15-5VQ100C фирмы Xilinx емкостью 15 тыс. эквивалентных вентилей [11].

Выводы. 1. Разработанная методика (порядок и содержание стадий) структурного синтеза логических схем НП как ОУ на основе типовых элементов и узлов ВТ позволяет формализовать получение всевозможных схем нейронов и синаптических связей при синтезе ИНС-преобразователей.

2. Обоснованный выбор функциональной модели НП в виде совокупности нейросетевых операций с переменными, представленными в виде потоков отдельных битов и двоичных слов, обеспечивает проведение структурного синтеза НП как аналого-цифрового устройства.

3. Применение методики синтеза проиллюстрировано на примере получения логической (структурной) схемы НП “код–временной интервал” с использованием языка описания аппаратуры для ПЛИС, что существенно сокращает сроки разработки ИНС-преобразователей формы информации, в том числе за счет создания аппаратно независимой библиотеки компонентов в виде НП.

Работа выполнена при финансовой поддержке Министерства образования и науки РФ и Российского фонда фундаментальных исследований РАН.

1. Локтюхин В.Н., Челебаев С.В., Антоненко А.В. Об унификации инвариантной к виду входного сигнала структуры нейросетевого аналого-цифрового преобразователя // *Нейрокомпьютеры*. 2010. № 4. С. 54–61.
2. Локтюхин В.Н., Челебаев С.В. Методика синтеза преобразователей импульсно-аналоговых сигналов с использованием операций нейросетевого базиса // *Нейрокомпьютеры: разработка, применение*. 2006. № 10. С. 57–71.
3. David W. Tank, John J. Hopfield. Simple “neural” optimization networks: an A/D converter, signal decision circuit and a linear programming circuit // *IEEE Circuit and Systems*. Vol. CAS-33, May 1986. P. 533–541.
4. Bang W. Lee, Bing J. Shen. Design of a neural-based A/D converter using modified Hopfield Network // *IEEE Solid-State Circuits*. Vol. SC-24, Aug. 1989. P. 1120–1135.
5. Avitabile G., Forti M., Manetti S., Marini M. On a class of nonsymmetrical neural networks with application to ADC // *IEEE Circuit and Systems*. Vol. CAS-38, Feb 1991. P. 202–209.
6. Галушкин А.И. Нейронные сети: основы теории. М.: Горячая линия–Телеком, 2010. 496 с.
7. Майоров С.А., Новиков Г.И. Принципы организации цифровых машин. Л.: Машиностроение, 1974. 432 с.
8. Локтюхин В.Н., Челебаев С.В., Антоненко А.В. Нейросетевые аналого-цифровые преобразователи / Под ред. А.И. Галушкина. М.: Горячая линия–Телеком, 2010. 128 с.
9. Смолов В.Б., Угрюмов Е.П., Артамонов А.Б. и др. Время-импульсные вычислительные устройства / под ред. В.Б. Смолова, Е.П. Угрюмова. М.: Радио и связь, 1983. 288 с.
10. Локтюхин В.Н. Микропроцессоры и ЭВМ. В 4 кн. Кн. 4. Микропроцессорные системы сбора и первичной обработки импульсно-аналоговой информации. М.: Энергоатомиздат, 2000. 156 с.
11. Локтюхин В.Н., Челебаев С.В., Антоненко А.В. Процедуры настройки нейросетевых преобразователей формы информации на базе программируемых сверхбольших интегральных схем // *Вестник МГТУ им. Н.Э. Баумана. Сер. Приборостроение*. 2009. № 3. С. 76–89.

REFERENCES

- [1] Loktyukhin V.N., Chelebaev S.V., Antonenko A. V. Unification of a neural network analog-to-digital converter structure invariant to the form of an input signal. *Neyrokomp'yutery* [Neurocomputers], 2010, no. 4, pp. 54–61 (in Russ.).
- [2] Loktyukhin V.N., Chelebaev S.V. A procedure for the synthesis of pulse analog signal converters using neural network operations. *Neyrokomp'yutery: Razrab. Primen.* [Neurocomputers: Dev. Appl.], 2006, no. 10, pp. 57–71 (in Russ.).
- [3] Tank D.W., Hopfield J.J. Simple “neural” optimization networks: an A/D converter, signal decision circuit, and a linear programming circuit. *IEEE Trans. Circuits Syst.*, 1986, vol. CAS-33, no. 5, pp. 533–541.
- [4] Lee B.W., Shen B.J. Design of a neural-based A/D converter using modified Hopfield network. *IEEE J. Solid-State Circuits*, 1989, vol. SC-24, no. 8, pp. 1120–1135.
- [5] Avitabile G., Forti M., Manetti S., Marini M. On a class of nonsymmetrical neural networks with application to ADC. *IEEE Trans. Circuits Syst.*, 1991, vol. CAS-38, no. 2, pp. 202–209.
- [6] Galushkin A.I. Neyronnye seti: osnovy teorii [Neural networks: fundamentals of the theory]. Moscow, Goryachaya Liniya-Telekom Publ., 2010. 496 p.
- [7] Mayorov S.A., Novikov G.I. Printsipy organizatsii tsifrovyykh mashin [Principles of organization of digital computers]. Leningrad, Mashinostroenie Publ., 1974. 432 p.

- [8] Loktyukhin V.N., Chelebaev S.V., Antonenko A.V. Neyrosetevye analogotsifrovye preobrazovateli [Neural network analog-to-digital converters]. Moscow, Goryachaya Liniya-Telekom Publ., 2010. 128 p.
- [9] Smolov V.B., Ugryumov E.P., Artamonov A.B. Vremya-impul'snye vychislitel'nye ustroystva [Time-pulse computing devices]. Moscow, Radio i Svyaz' Publ., 1983. 288 p.
- [10] Loktyukhin V.N. Mikroprotssory i EVM. Kn. 4. Mikroprotssornye sistemy sbora i pervichnoy obrabotki impul'sno-analogovoy informatsii [Microprocessors and computers. Book 4. Microprocessor-based systems for the collection and initial processing of pulse-analog information]. Moscow, Energoatomizdat Publ., 2000. 156 p.
- [11] Loktyukhin V.N., Chelebaev S.V., Antonenko A.V. Procedures for setting neural network information converters based on programmable VLSI circuits. *Vestn. Mosk. Gos. Tekh. Univ. im. N.E. Baumana, Priborostr.* [Herald of the Bauman Moscow State Tech. Univ., Instrum. Eng.], 2009, no. 3, pp. 76–89 (in Russ.).

Статья поступила в редакцию 10.01.2013

Виктор Николаевич Локтюхин — д-р техн. наук, профессор кафедры “Биомедицинская и полупроводниковая электроника” (БМПЭ) Рязанского государственного радиотехнического университета (РГРТУ), окончил РГРТУ в 1970 г. Специалист в области применения аппарата искусственных нейронных сетей для синтеза интеллектуальных вычислительных систем.

РГРТУ, Российская Федерация, 390005, г. Рязань, ул. Гагарина, 59/1.

V.N. Loktyukhin graduated from the Ryazan State Radio-Engineering University in 1970. Dr. Sci. (Eng.), professor of “Biological-Medical and Semiconductor Electronics” department of the Ryazan State Radio-Engineering University. Specializes in the field of application of artificial neuron nets for synthesis of intellectual computing systems.

Ryazan State Radio-Engineering University, ul. Gagarina, 59/1, Ryazan, 390005 Russian Federation.

Сергей Валерьевич Челебаев — канд. техн. наук, доцент кафедры БМПЭ РГРТУ, окончил РГРТУ в 2002 г. Специалист в области применения аппарата искусственных нейронных сетей для синтеза преобразователей формы представления информации.

РГРТУ, Российская Федерация, 390005, г. Рязань, ул. Гагарина, 59/1.

S.V. Chelebaev graduated from the Ryazan State Radio-Engineering University in 2002. Cand. Sci. (Eng.), assoc. professor of “Biological-Medical and Semiconductor Electronics” department of the Ryazan State Radio-Engineering University. Specializes in the field of application of artificial neuron nets for synthesis of converters of data presentation form.

Ryazan State Radio-Engineering University, ul. Gagarina, 59/1, Ryazan, 390005 Russian Federation.

Андрей Васильевич Антоненко — аспирант кафедры БМПЭ РГРТУ, окончил РГРТУ в 2007 г. Специализируется в области обучения нейросетевых преобразователей формы представления информации.

РГРТУ, Российская Федерация, 390005, г. Рязань, ул. Гагарина, 59/1.

A.V. Antonenko graduated from the Ryazan State Radio-Engineering University in 2007. Post-graduate of “Biological-Medical and Semiconductor Electronics” department of the Ryazan State Radio-Engineering University. Specializes in the field of training of neuron net converters of data presentation form.

Ryazan State Radio-Engineering University, ul. Gagarina, 59/1, Ryazan, 390005 Russian Federation.